

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-319595

(43)Date of publication of application : 31.10.2002

(51)Int.Cl. H01L 21/56
 B29C 45/14
 B29C 45/26
 H01L 23/29
 H01L 23/31
 // B29K105:20
 B29L 31:00

(21)Application number : 2001-123711

(71)Applicant : HITACHI LTD
 HITACHI HOKKAI
 SEMICONDUCTOR LTD

(22)Date of filing : 23.04.2001

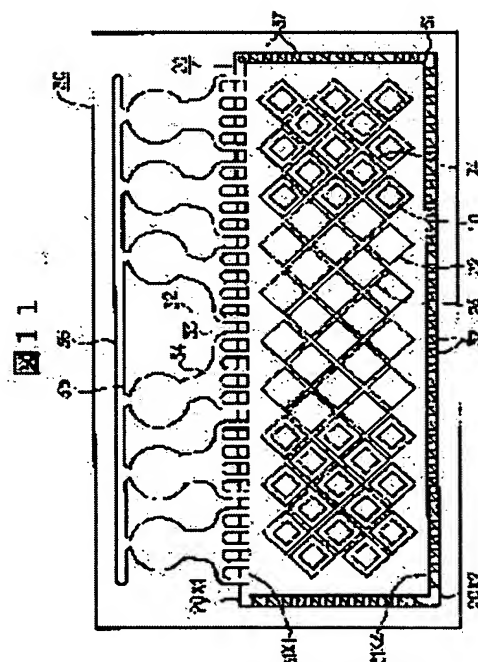
(72)Inventor : GOTO MASAKATSU
 KASAI NORIHIKO

(54) METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To suppress generation of voids.

SOLUTION: The method for manufacturing a semiconductor device comprises a step for preparing a wiring board having a plurality of device regions, each arranged with a semiconductor chip, on one major surface, polygonal cavities arranged on one major surface of the wiring board to cover each device region and a plurality of gates arranged along one side of the cavities, and a step for injecting resin into the cavities through the plurality of gates to resin sealing the plurality of semiconductor chips. In the resin sealing step, each semiconductor chip is arranged such that the side thereof is inclining against the macroscopic flow direction of resin in the cavity.



LEGAL STATUS

[Date of request for examination]

08.10.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than
 the examiner's decision of rejection or
 application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-319595

(P2002-319595A)

(43) 公開日 平成14年10月31日 (2002. 10. 31)

(51) Int.Cl. ⁷	識別記号	F 1	テマコード (参考)
H 0 1 L 21/56		H 0 1 L 21/56	T 4 F 2 0 2
B 2 9 C 45/14		B 2 9 C 45/14	4 F 2 0 6
	45/26	45/26	4 M 1 0 9
H 0 1 L 23/29		B 2 9 K 105: 20	5 F 0 6 1
23/31		B 2 9 L 31: 00	

審査請求 未請求 請求項の数44 O L (全 29 頁) 最終頁に続く

(21) 出願番号 特願2001-123711 (P2001-123711)

(22) 出願日 平成13年4月23日 (2001. 4. 23)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000233594

日立北海セミコンダクタ株式会社

北海道亀田郡七飯町字中島145番地

(72) 発明者 後藤 正克

北海道亀田郡七飯町字中島145番地 日立

北海セミコンダクタ株式会社内

(74) 代理人 100083552

弁理士 秋山 収著

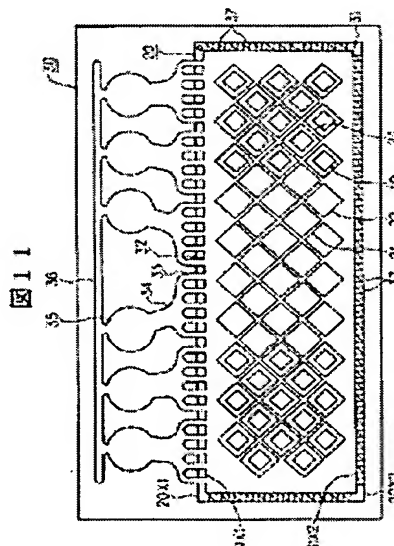
最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 ボイドの発生を抑制する。

【解決手段】 一主面に複数のデバイス領域を有し、前記各デバイス領域に半導体チップが配置された配線基板と、前記各デバイス領域を覆うようにして前記配線基板の一主面上に配置された多面体のキャビティと、前記キャビティの一辺に沿って設けられた複数のゲートとを準備する工程と、前記複数のゲートを通して前記キャビティの内部に樹脂を注入することによって、前記複数の半導体チップを樹脂封止する工程とを具備する半導体装置の製造方法であって、前記樹脂封止工程において、前記各半導体チップは、前記キャビティの内部における前記樹脂の巨視的な流れ方向に対して辺が斜めになるように配置されている。



【特許請求の範囲】

【請求項 1】 一主面に複数のデバイス領域を有し、前記各デバイス領域に半導体チップが配置された配線基板と、前記各デバイス領域を覆うようにして前記配線基板の一主面上に配置された多面体のキャビティと、前記キャビティの一辺に沿って設けられた複数のゲートとを準備する工程と、

前記複数のゲートを通して前記キャビティの内部に樹脂を注入することによって、前記複数の半導体チップを樹脂封止する工程とを具備する半導体装置の製造方法であって、

前記樹脂封止工程において、前記各半導体チップは、前記キャビティの内部における前記樹脂の巨視的な流れ方向に対して辺が斜めになるように配置されていることを特徴とする半導体装置の製造方法。

【請求項 2】 請求項 1 に記載の半導体装置の製造方法において、

前記各半導体チップは、前記キャビティの一辺に対して辺が斜めになるように配置されていることを特徴とする半導体装置の製造方法。

【請求項 3】 請求項 2 に記載の半導体装置の製造方法において、

前記配線基板は、前記各デバイス領域の境界を規定する区画領域を更に有し、

前記各半導体チップは、前記区画領域が延在する方向に対して辺が斜めになるように配置されていることを特徴とする半導体装置の製造方法。

【請求項 4】 請求項 3 に記載の半導体装置の製造方法において、

前記複数の半導体チップは、前記キャビティの一辺に対して行列状に配置されていることを特徴とする半導体装置の製造方法。

【請求項 5】 請求項 2 に記載の半導体装置の製造方法において、

前記配線基板は、前記各デバイス領域の境界を規定する区画領域を更に有し、

前記各半導体チップは、前記区画領域が延在する方向に対して辺が沿うように配置されていることを特徴とする半導体装置の製造方法。

【請求項 6】 請求項 5 に記載の半導体装置の製造方法において、

前記複数の半導体チップは、前記キャビティの一辺に対して所定の角度をなす第 1 の方向及び前記第 1 の方向に対して直交する第 2 の方向に配置されていることを特徴とする半導体装置の製造方法。

【請求項 7】 請求項 1 に記載の半導体装置の製造方法において、

前記複数のゲートは、各々の開口面積が前記キャビティの一辺の一端側から他端側に向かって徐々に、若しくは所定の数毎に段階的に小さくなるように構成されている

ことを特徴とする半導体装置の製造方法。

【請求項 8】 請求項 7 に記載の半導体装置の製造方法において、

前記各半導体チップは、互いに向かい合う 2 つの辺が前記キャビティの一辺に沿って延在するように配置されていることを特徴とする半導体装置の製造方法。

【請求項 9】 請求項 8 に記載の半導体装置の製造方法において、

前記複数の半導体チップは、前記キャビティの一辺に対して行列状に配置されていることを特徴とする半導体装置の製造方法。

【請求項 10】 請求項 1 に記載の半導体装置の製造方法において、

前記複数の半導体チップは平面が方形で形成されていることを特徴とする半導体装置の製造方法。

【請求項 11】 請求項 1 に記載の半導体装置の製造方法において、

前記キャビティは平面が方形で形成されていることを特徴とする半導体装置の製造方法。

【請求項 12】 請求項 1 に記載の半導体装置の製造方法において、

前記複数の半導体チップは、全て同一の機能を有することを特徴とする半導体装置の製造方法。

【請求項 13】 請求項 1 に記載の半導体装置の製造方法において、

前記樹脂封止工程の後に、前記複数のデバイス領域を個々に分割する工程を更に具備することを特徴とする半導体装置の製造方法。

【請求項 14】 請求項 1 に記載の半導体装置の製造方法において、

前記複数の半導体チップは、接続材を介して前記配線基板に接合されていることを特徴とする半導体装置の製造方法。

【請求項 15】 請求項 1 に記載の半導体装置の製造方法において、

前記各半導体チップと前記配線基板との間は、前記樹脂封止工程の前に、予め接合材によって充填されていることを特徴とする半導体装置の製造方法。

【請求項 16】 一主面に複数のデバイス領域を有し、前記各デバイス領域に半導体チップが配置された配線基板と、前記各デバイス領域を覆うようにして前記配線基板の一主面上に配置された多面体のキャビティと、前記キャビティの一辺の中点を跨ぐようにして設けられた幅広のゲートとを準備する工程と、

前記ゲートを通して前記キャビティの内部に樹脂を注入することによって、前記複数の半導体チップを樹脂封止する工程とを具備する半導体装置の製造方法であって、前記樹脂封止工程において、前記各半導体チップは、前記キャビティの内部における前記樹脂の巨視的な流れ方向に対して辺が斜めになるように配置されていることを

特徴とする半導体装置の製造方法。

【請求項 17】 請求項 16に記載の半導体装置の製造方法において、前記各半導体チップは、前記キャビティの一边に対して辺が斜めになるように配置されていることを特徴とする半導体装置の製造方法。

【請求項 18】 請求項 17に記載の半導体装置の製造方法において、前記配線基板は、前記各デバイス領域の境界を規定する区画領域を更に有し、前記各半導体チップは、前記区画領域が延在する方向に対して辺が斜めになるように配置されていることを特徴とする半導体装置の製造方法。

【請求項 19】 請求項 18に記載の半導体装置の製造方法において、前記複数の半導体チップは、前記キャビティの一边に対して行列状に配置されていることを特徴とする半導体装置の製造方法。

【請求項 20】 請求項 17に記載の半導体装置の製造方法において、前記配線基板は、前記各デバイス領域の境界を規定する区画領域を更に有し、前記各半導体チップは、前記区画領域が延在する方向に対して辺が沿うように配置されていることを特徴とする半導体装置の製造方法。

【請求項 21】 請求項 20に記載の半導体装置の製造方法において、前記複数の半導体チップは、前記キャビティの一边に対して所定の角度をなす第1の方向及び前記第1の方向に対して直交する第2の方向に配置されていることを特徴とする半導体装置の製造方法。

【請求項 22】 請求項 16に記載の半導体装置の製造方法において、前記ゲートは、前記キャビティの厚さ方向に沿う幅が前記キャビティの一边の一端側から他端側に向かって徐々に、若しくは段階的に小さくなるように構成されていることを特徴とする半導体装置の製造方法。

【請求項 23】 請求項 22に記載の半導体装置の製造方法において、前記各半導体チップは、互いに向かい合う2つの辺が前記キャビティの一边に沿って延在するように配置されていることを特徴とする半導体装置の製造方法。

【請求項 24】 請求項 23に記載の半導体装置の製造方法において、前記複数の半導体チップは、前記キャビティの一边に対して行列状に配置されていることを特徴とする半導体装置の製造方法。

【請求項 25】 請求項 16に記載の半導体装置の製造方法において、前記複数の半導体チップは平面が方形で形成されてい

ることを特徴とする半導体装置の製造方法。

【請求項 26】 請求項 16に記載の半導体装置の製造方法において、前記キャビティは平面が方形で形成されていることを特徴とする半導体装置の製造方法。

【請求項 27】 請求項 16に記載の半導体装置の製造方法において、前記複数の半導体チップは、全て同一の機能を有することを特徴とする半導体装置の製造方法。

【請求項 28】 請求項 16に記載の半導体装置の製造方法において、前記樹脂封止工程の後に、前記複数のデバイス領域を個々に分割する工程を更に具備することを特徴とする半導体装置の製造方法。

【請求項 29】 請求項 16に記載の半導体装置の製造方法において、前記複数の半導体チップは、接触材を介して前記配線基板に接合されていることを特徴とする半導体装置の製造方法。

【請求項 30】 請求項 16に記載の半導体装置の製造方法において、前記各半導体チップと前記配線基板との間は、前記樹脂封止工程の前に、予め接合材によって充填されていることを特徴とする半導体装置の製造方法。

【請求項 31】 一主面に複数のデバイス領域を有し、前記各デバイス領域に半導体チップが配置された配線基板と、前記各デバイス領域を覆うようにして前記配線基板の一主面上に配置された多面体キャビティと、前記キャビティの第1辺及びこの第1辺と交わる第2辺に沿って夫々設けられた複数のゲートとを準備する工程と、前記複数のゲートを通して前記キャビティの内部に樹脂を注入することによって、前記複数の半導体チップを樹脂封止する工程とを具備する半導体装置の製造方法。

【請求項 32】 請求項 31に記載の半導体装置の製造方法において、前記複数のゲートのうち、前記キャビティの第1辺と第2辺とが交わる頂点に最も近いゲートの開口面積は、前記頂点から最も遠いゲートの開口面積よりも大きくなっていることを特徴とする半導体装置の製造方法。

【請求項 33】 請求項 31に記載の半導体装置の製造方法であって、前記各半導体チップは互いに向かい合う2つの辺が前記キャビティの第1辺に沿って延在するように配置されていることを特徴とする半導体装置の製造方法。

【請求項 34】 請求項 31に記載の半導体装置の製造方法であって、前記複数の半導体チップは、前記キャビティの第1辺に対して行列状に配置されていることを特徴とする半導体装置の製造方法。

【請求項 35】 請求項 31に記載の半導体装置の製造

方法であって、前記キャビティ及び前記複数の半導体チップは、平面が方形で形成されていることを特徴とする半導体装置の製造方法。

【請求項 36】 請求項 31 に記載の半導体装置の製造方法であって、前記複数の半導体チップは、全て同一の機能を有することを特徴とする半導体装置の製造方法。

【請求項 37】 請求項 31 に記載の半導体装置の製造方法であって、前記樹脂封止工程の後に、前記複数のデバイス領域を個々に分割する工程を更に具備することを特徴とする半導体装置の製造方法。

【請求項 38】 一主面に複数のデバイス領域を有し、前記各デバイス領域に半導体チップが配置された配線基板と、前記各デバイス領域を覆うようにして前記配線基板の一主面上に配置された多面体のキャビティと、前記キャビティの第1辺及びこの第1辺と交わる第2辺に沿って夫々の中点を跨ぐようにして設けられた幅広のゲートとを準備する工程と、前記幅広のゲートを通して前記キャビティの内部に樹脂を注入することによって、前記複数の半導体チップを樹脂封止する工程とを具備することを特徴とする半導体装置の製造方法。

【請求項 39】 請求項 38 に記載の半導体装置の製造方法において、前記ゲートは、前記キャビティの厚さ方向に沿う幅が前記キャビティの第1辺と第2辺との交わる頂点側から夫々の辺に沿って徐々に、若しくは段階的に小さくなるように構成されていることを特徴とする半導体装置の製造方法。

【請求項 40】 請求項 38 に記載の半導体装置の製造方法であって、前記各半導体チップは、互いに向かい合う2つの辺が前記キャビティの一边に沿って延在するように配置されていることを特徴とする半導体装置の製造方法。

【請求項 41】 請求項 38 に記載の半導体装置の製造方法であって、前記複数の半導体チップは、前記キャビティの一边に対して行列状に配置されていることを特徴とする半導体装置の製造方法。

【請求項 42】 請求項 38 に記載の半導体装置の製造方法であって、前記キャビティ及び前記複数の半導体チップは、平面が方形で形成されていることを特徴とする半導体装置の製造方法。

【請求項 43】 請求項 38 に記載の半導体装置の製造方法であって、前記複数の半導体チップは、全て同一の機能を有することを特徴とする半導体装置の製造方法。

【請求項 44】 請求項 38 に記載の半導体装置の製造方法であって、前記樹脂封止工程の後に、前記複数のデバイス領域を個々に分割する工程を更に具備することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置の製造技術に関し、特に、トランスファ・モールド法に基づいて、基板上に実装された複数の半導体チップを一括して樹脂封止する工程を備えた半導体装置の製造に適用して有効な技術に関するものである。

【0002】

【従来の技術】 BGA (Ball Grid Array) 型、CSP (Chip Size Package又はChip Scale Package) 型等の半導体装置の製造においては、一括モールド方式のトランスファモールド技術が採用されている。一括モールド方式は、一主面に複数のデバイス領域を有する配線基板と、複数のデバイス領域を覆うようにして配線基板の一主面上に配置される多面体のキャビティを有する成形型とを使用し、複数の樹脂注入ゲートを通してキャビティの内部に樹脂を注入して配線基板の各デバイス領域に配置された半導体チップを一括して樹脂封止する方式である。このような一括モールド方式を採用する半導体装置の製造技術については、例えば、特開平2000-12578号公報（公知文献1）、特開平2000-25074号公報（公知文献2）、特開平2000-58573号公報（公知文献3）に開示されている。

【0003】

【発明が解決しようとする課題】 半導体チップが配置された配線基板の一主面側のみに樹脂封止体を形成する片面モールドを前提とする一括モールド方式を採用する場合、キャビティの厚さ（高さ）に対する平面積の比が非常に大きくなるため、樹脂の硬化が始まって流動性が低下するまでの限られた時間の中で、迅速にかつ均一に樹脂を注入するには、ゲートを複数にするか、若しくはゲートを幅広にして樹脂注入ゲートの総開口面積（総断面積）を大きくする必要がある。

【0004】 しかしながら、例えば前記公知文献1に記載されているように、キャビティの内部における樹脂の巨視的な流れ方向（樹脂全体の流れ方向）に対して、半導体チップの辺が垂直になるようなゲート及びキャビティ中のチップ配置を採用すると、ゲートから遠い側の半導体チップの側面と配線基板とで形成される角部（半導体チップによって影となる部分）にボイドの巻き込みが発生するという問題を本発明者は発見した。ボイドの巻き込みが発生するメカニズムは以下の通りである。

【0005】 図31乃至図34は、従来の半導体装置の製造において、一括モールド方式で樹脂封止体を形成する時の樹脂の流れを示す図（（A）は平面図、（B）は

断面図)である。図31乃至図34において、60は配線基板、60Xは基板60の一面、61は半導体チップ、61Aは1列目の半導体チップ、61Bは2列目の半導体チップ、62は成形型、62Aは成形型62の上型、62Bは成形型62の下型、63はキャビティ、64はゲート、65はランナー、66はエアベント、67Aは樹脂、67Bはボイド、Sは樹脂の注入方向、Mはキャビティの内部における樹脂の巨視的な流れ方向である。

【0006】配線基板60としては、通常、平面が長方形のものが用いられるため、これに対応してキャビティ63の平面形状も長方形となる。この場合、キャビティ63の内部の全域にわたって樹脂67Aが均一に充填されるように、キャビティ63の互いに対向する2つの長辺のうちの一方の長辺側にこの一方の長辺に沿って複数のゲート64が設けられるため、キャビティ63の内部に注入された樹脂67Aの巨視的な流れ方向Mはキャビティ63の一方の長辺側から他方の長辺側に向かう方向となる。従って、キャビティ63の内部への樹脂67Aの充填は、図31乃至図34に示すように、樹脂67Aの巨視的な流れ方向Mに沿って行われる。

【0007】キャビティ63の内部に注入された樹脂67Aは、半導体チップ61の一面上及び半導体チップ61の周縁の外側を流れる。半導体チップ61の一面上における樹脂の流動抵抗は半導体チップ61の外側における樹脂の流動抵抗よりも高いため、半導体チップ61の外側における樹脂67Aの方が先に流れる。一方、半導体チップの両側の外側を流れた樹脂67Aは、半導体チップのゲート64から遠い側の側面に沿って、1列目の半導体チップ61Aと2列目の半導体チップ61Bとの間の領域に流れ込む(図32参照)。半導体チップ61Aが生む樹脂の流動抵抗によって、半導体チップ61Aの上面を流れる樹脂が半導体チップ61Aの上面を覆うよりも早く、前記半導体チップの両外側から半導体チップ61Aと61Bの間の領域に流れ込んだ樹脂67Aが含まれると、樹脂の中にボイド67Bが発生する(図33参照)。

【0008】ボイド67Bは樹脂注入過程において樹脂67Aの流れに従って移動しながら徐々に小さくなるが、ゲート64から遠い側であって、樹脂67Aの巨視的な流れ方向Mに対して垂直な方向に延在する半導体チップ61の側面と配線基板60とで形成される角部(半導体チップによって影となる部分)での樹脂67Aの流速が極端に遅くなるため、この半導体チップ61の影となる部分に移動したボイド67Cは樹脂67Aの巨視的な流れに逆らって樹脂67Aの充填が完了してもその部分に残り(溜まり)続ける(図34参照)。

【0009】半導体装置の製造では、温度サイクル試験時に起こるポップコーン現象を抑制するため、樹脂の充填が完了した後、注入時の圧力よりも高い圧力を加えて

樹脂中に残存するボイドを圧縮する工程が施されるが、このような工程を施しても、ポップコーン現象を起こさない程度の大きさまでボイド67Cが小さくなることはなかった。即ち、ボイド67Cの発生は半導体装置の製造歩留まりを低下させる要因となる。

【0010】このような問題は、パッケージの平面サイズ(デバイス領域の平面サイズ)が1mm角、キャビティの高さが0.65mm、半導体チップの厚さが0.29mmの場合、半導体チップの平面サイズが5.44mm角又は7.96mm角の場合と比較して、半導体チップの平面サイズが5.44mm角の場合に、より顕著に現われることが本発明者によって見出された。

【0011】このような半導体チップの影になる部分でのボイドの発生に対する対策として、半導体チップの影になる部分でのボイドの対策という内容に関する示唆は全くないが、前記公知文献3の図8に記載されているように、キャビティの角部にゲートを設け、半導体チップに対して樹脂の巨視的な流れ方向が斜めになるようにすることが考えられる。

【0012】しかしながら、前記公知文献3の図8に記載されているように、単数のゲートからの樹脂注入では、迅速にかつ均一に樹脂を注入するという目的を達成できず、樹脂の注入中に硬化が進み、最終的には未充填部が残るといった問題が生じる。

【0013】また、これらキャビティの角部又は角部の近傍にゲートを配置するという条件と、樹脂注入ゲートの総開口面積を増大させるという条件を同時に併せ持った構成を考えると、これら2つの条件に關して何の記載も無いものであるが、前記公知文献2の図2に記載があるようにキャビティの複数の角部に対応する位置にゲートを設けたような構造になることが考えられる。

【0014】前記公知文献2の図2及び同図に対応する明細書の記載には、キャビティの4箇所の角部の近傍にゲートを設け、更にキャビティの4辺に対応する傾斜部400の任意の位置にエアベントを設けた一括モールド用成形型の構造が開示されている。しかしながら、前記公知文献2の構成によると、4箇所のゲートから樹脂を注入することによって、キャビティの中央部近傍には樹脂が充填されない領域(未充填領域)が形成されることが予想される。

【0015】本発明の目的は、一括モールド方式を採用する半導体装置の製造技術において、ボイドの発生を抑制することが可能な技術を提供することにある。本発明の他の目的は、一括モールド方式を採用する半導体装置の製造技術において、樹脂の未充填部及びボイドの発生を抑制することが可能な技術を提供することにある。本発明の他の目的は、一括モールド方式を採用する半導体装置の製造技術において、歩留まりの向上を図ることが可能な技術を提供することにある。本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添

付図面によって明らかになるであろう。

【0016】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

(1) 一主面に複数のデバイス領域を有し、前記各デバイス領域に半導体チップが配置された配線基板と、前記各デバイス領域を覆うようにして前記配線基板の一主面に配置された多面体のキャビティと、前記キャビティの一边に沿って設けられた複数のゲートとを準備する工程と、前記複数のゲートを通して前記キャビティの内部に樹脂を注入することによって、前記複数の半導体チップを樹脂封止する工程とを具備する半導体装置の製造方法であって、前記樹脂封止工程において、前記各半導体チップは、前記キャビティの内部における前記樹脂の巨視的な流れ方向に対して辺が斜めになるように配置されている。

【0017】(2) 前記手段(1)に記載の半導体装置の製造方法において、前記各半導体チップは、前記キャビティの一边に対して辺が斜めになるように配置されている。

【0018】(3) 前記手段(2)に記載の半導体装置の製造方法において、前記配線基板は、前記各デバイス領域の境界を規定する区画領域を更に有し、前記各半導体チップは、前記区画領域が延在する方向に対して辺が斜めになるように配置されている。

【0019】(4) 前記手段(3)に記載の半導体装置の製造方法において、前記複数の半導体チップは、前記キャビティの一边に対して行列状に配置されている。

【0020】(5) 前記手段(2)に記載の半導体装置の製造方法において、前記配線基板は、前記各デバイス領域の境界を規定する区画領域を更に有し、前記各半導体チップは、前記区画領域が延在する方向に対して辺に沿うように配置されている。

【0021】(6) 前記手段(5)に記載の半導体装置の製造方法において、前記複数の半導体チップは、前記キャビティの一边に対して所定の角度をなす第1の方向及び前記第1の方向に対して直交する第2の方向に配置されている。

【0022】(7) 前記手段(1)に記載の半導体装置の製造方法において、前記複数のゲートは、各々の開口面積が前記キャビティの一边の一端側から他端側に向かって徐々に、若しくは所定の数毎に段階的に小さくなるように構成されている。

【0023】(8) 前記手段(7)に記載の半導体装置の製造方法において、前記各半導体チップは、互いに向かい合う2つの辺が前記キャビティの一边に沿って延在するように配置されている。

【0024】(9) 前記手段(8)に記載の半導体装置の製造方法において、前記複数の半導体チップは、前記

キャビティの一边に対して行列状に配置されている。

【0025】(10) 前記手段(1)に記載の半導体装置の製造方法において、前記複数の半導体チップ及び前記キャビティは、平面が方形状で形成されている。

【0026】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を詳細に説明する。なお、発明の実施の形態を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【0027】(実施形態1)本実施形態では、BGA型の半導体装置の製造技術に本発明を適用した例について説明する。図1は本発明の実施形態1である半導体装置の概略構成を示す図((A) は樹脂封止体を除去した状態の平面図、(B) は(A) の a-a 線に沿う断面図)であり、図2は図1(B)の一部を拡大した断面図である。

【0028】図1及び図2に示すように、本実施形態の半導体装置1Aは、主に、配線基板2、半導体チップ10、複数のボンディングワイヤ13、樹脂封止体14及び外部接続用端子として複数のボール状パンプ15等を有する構成となっている。半導体チップ10及び複数のボンディングワイヤ13は、樹脂封止体14によって封止されている。

【0029】半導体チップ10は、配線基板2の互いに対向する一主面(チップ搭載面)2X及び他の主面(裏面)2Yのうちの一主面2Xに接着層12を介して接着固定されている。半導体チップ10の平面形状は方形状で形成され、本実施形態においては例えば正方形で形成されている。半導体チップ10は、例えば、単結晶シリコンからなる半導体基板と、この半導体基板の回路形成面上において絶縁層、配線層の夫々を複数層積み重ねた多層配線層と、この多層配線層を覆うようにして形成された表面保護膜とを有する構成となっている。ここで、半導体チップ10の平面形状とは、後述する一主面10Xの形状を意味する。

【0030】半導体チップ10には、集積回路として例えば制御回路が内蔵されている。この制御回路は、主に、半導体基板の回路形成面に形成されたトランジスタ素子及び配線層に形成された配線によって構成されている。

【0031】半導体チップ10の互いに対向する一主面(回路形成面)10X及び他の主面(裏面)のうちの二主面10Xには、接続部として例えば複数の接続パッド11が形成されている。この複数の接続パッド11は、半導体チップ10の一主面10Xの各辺に沿って配置されている。複数の接続パッド11の夫々は、半導体チップ10の多層配線層のうちの最上層の配線層に形成され、制御回路を構成するトランジスタ素子と電気的に接続されている。複数の接続パッド11の夫々は、例えば、アルミニウム(A1)膜又はアルミニウム合金膜等

の金属膜で形成されている。

【0032】配線基板2は、詳細に図示していないが、絶縁層、導電層の夫々を順次積み重ねた多層配線構造となっている。各絶縁層は例えばガラス繊維にエポキシ系の樹脂を含浸させたガラスエポキシ基板で形成され、各配線層は例えば銅(Cu)からなる金属膜で形成されている。配線基板2の平面形状は方形で形成され、本実施形態においては例えば正方形で形成されている。ここで、配線基板2の平面形状とは、一主面2Xの形状を意味する。

【0033】配線基板2の一主面2Xには接続部として例えば複数の接続パッド3が形成され、配線基板2の裏面2Yには接続部として例えば複数の接続パッド5が形成されている。複数の接続パッド3は配線基板2の最上層の導電層に形成された複数の配線の一部分で構成され、複数の接続パッド5は配線基板2の最下層の導電層に形成された複数の配線の一部分で構成されている。また、配線基板2の一主面2Xにはその最上層の導電層に形成された配線を保護する絶縁膜4が形成され、配線基板2の裏面2Yにはその最上層の導電層に形成された配線を保護する絶縁膜6が形成されている。これらの絶縁膜(4, 6)には接続パッド(3, 5)の表面を露出する開口が形成されている。絶縁膜4及び6は、例えばエポキシ系の樹脂又はポリイミド系の樹脂で形成されている。

【0034】複数のボール状バンパ15は、配線基板2の裏面2Yに形成された複数の接続パッド5に夫々固着され、電気的にかつ機械的に接続されている。ボール状バンパ15は例えばPb-Sn組成の半田材で形成されている。

【0035】樹脂封止体14の平面形状は方形で形成され、本実施形態においては例えば正方形で形成されている。樹脂封止体14は、低応力化を図る目的として、例えば、フェノール系硬化剤、シリコンゴム及び多数のフィラー(例えばシリカ)等が添加されたエポキシ系の熱硬化性絶縁樹脂で形成されている。ここで、樹脂封止体14の平面形状とは、半導体チップ10の一主面10Xと向かい合う一主面(上面)の形状を意味する。

【0036】半導体チップ10の一主面10Xに形成された複数の接続パッド11は、ボンディングワイヤ13を介して配線基板2の一主面2Xに形成された複数の接続パッド3に夫々電気的に接続されている。ボンディングワイヤ13としては、例えば金(Au)ワイヤを用いている。ボンディングワイヤ13の接続方法としては、例えば、熱圧着に超音波振動を併用したボールボンディング(ネイルヘッドボンディング)法を用いている。即ち、本実施形態の半導体装置1Aは、配線基板2の接続パッド3と半導体チップ10の接続パッド11とを電気的に接続する接続手段としてワイヤボンディング方式を採用している。

【0037】樹脂封止体14及び配線基板2の平面サイズはほぼ同一となっており、樹脂封止体14及び配線基板2の側面は面一となっている。本実施形態の半導体装置1Aの製造においては、一括モールド方式が採用されている。従って、半導体装置1Aは、後で詳細に説明するが、一主面に複数のデバイス領域(製品形成領域)を有する配線基板(分割用配線基板)を使用し、この配線基板の各デバイス領域に配置された半導体チップを一括して1つの樹脂封止体(一括用樹脂封止体)で封止した後、樹脂封止体と共に配線基板の複数のデバイス領域を個々に分割することによって製造される。ここで、樹脂封止体14及び配線基板2の平面サイズとは、各々の一主面の大きさを意味する。

【0038】図3は本実施形態の半導体装置1Aの製造に用いられる配線基板(分割用配線基板)の平面図であり、図4は図3の一部を拡大した平面図であり、図5は図4のb-b線に沿う断面図である。

【0039】図3乃至図5に示すように、配線基板(分割用配線基板)20の平面形状は方形で形成され、本実施形態においては例えば長方形で形成されている。配線基板20の一主面(チップ搭載面)20Xにはモールド領域21が設けられ、このモールド領域21の中には複数のデバイス領域22が設けられ、この各々のデバイス領域22の中にはチップ搭載領域23が設けられている。各々のチップ搭載領域23には半導体チップ10が搭載され、モールド領域21には各々のチップ搭載領域23に搭載された複数の半導体チップ10を一括して封止する樹脂封止体が形成される。ここで、配線基板20の平面形状とは、一主面20Xの形状を意味する。

【0040】各デバイス領域22は、これらの境界を規定する区画領域24によって区画されている。また、各デバイス領域22の構造及び平面形状は図1及び図2に示す配線基板2と同様になっている。即ち、本実施形態の各デバイス領域22の平面形状は正方形で形成されている。

【0041】複数のデバイス領域22の夫々は、夫々の辺が配線基板20の一主面20Xの互いに対向する2つの長辺(20X1, 20X2)のうちの一方の長辺20X1に対して斜めになるように配置されている。本実施形態において、複数のデバイス領域22の夫々は、一辺が配線基板20の一方の長辺20X1に対して例えば45度の角度になるように配置されている。また、複数のデバイス領域22は、配線基板20の一方の長辺20X1に対して所定の角度をなす第1の方向L1及びこの第1の方向L1に対して直交する第2の方向L2に敷き詰めた状態で配置されている。本実施形態において、第1の方向L1は配線基板20の一方の長辺20X1に対して例えば45度の角度をなしている。

【0042】各チップ搭載領域23に搭載される半導体チップ10は、一主面10Xの辺が配線基板20の一方

の長辺20×1に対して斜めになるように配置される。本実施形態において、半導体チップ10は、デバイス領域22の境界を規定する区画領域24に対して一主面10×の辺に沿うように配置される。

【0043】図6は本実施形態の半導体装置1Aの製造に用いられる成形型の概略構成を示す断面図であり、図7は図6の成形型の上型の概略構成を示す平面図であり、図8は図6の成形型の下型の概略構成を示す平面図である。

【0044】図6乃至図8に示すように、成形型30は、これに限定されないが、キャビティ31、複数のゲート32、複数のサブランナー33、複数のメインランナー34、複数のカル35、連結ランナー36、複数のエアベント37、複数のポット38及び基板搭載領域39等を備えている。31〜37の各構成部は上型30Aに設けられ、38〜39の各構成部は下型30Bに設けられている。キャビティ31は上型30Aの合わせ面から深さ方向に窪み、基板搭載領域39は下型30Bの合わせ面から深さ方向に窪んでいる。

【0045】キャビティ31は、樹脂封止時に配線基板20の一主面20×と向かい合い、平面が方形で形成された一主面（凹部の底面）31×と、この一主面31×の各辺に対応する4つの側面とを有する多面体で構成されている。基板搭載領域39は、樹脂封止時に配線基板20の裏面20Yと向かい合い、平面が方形で形成された一主面（凹部の底面）と、この一主面の各辺に対応する4つの側面とを有する多面体で構成されている。キャビティ31及び基板搭載領域39の平面形状は、配線基板20の平面形状に対応して形成されている。本実施形態において、配線基板20の平面形状は長方形になっているので、これに対応してキャビティ31及び基板搭載領域39の平面形状は長方形になっている。キャビティ31の平面サイズは図3に示すモールド領域21の平面サイズとほぼ同様になっており、基板搭載領域39の平面サイズは図3に示す配線基板20の平面サイズとほぼ同様になっている。ここで、キャビティ31の平面形状及び平面サイズとは、配線基板20の一主面と向かい合う一主面31×の形状及び大きさを意味する。基板搭載領域39の平面形状及び平面サイズとは、配線基板20の裏面20Yと向かい合う一主面の形状及び大きさを意味する。

【0046】成形型30において、樹脂は、ポット38からカル35、メインランナー34、サブランナー33及びゲート32を通してキャビティ31の内部に注入される。複数のゲート32は、キャビティ31の内部の全域にわたって樹脂が均一に充填されるように、キャビティ31の主面31×の互いに対向する2つの長辺（31×1、31×2）のうちの一方の長辺31×1に沿って設けられている。従って、キャビティ31の内部に注入された樹脂の巨視的な流れ方向は、キャビティ31の一

方の長辺31×1側（ゲート32が設けられた長辺側）から他方の長辺31×2側に向かう方向となる。複数のエアベント37は、ゲート32が設けられたキャビティ31の一方の長辺31×1を除いた3辺（他方の長辺31×2、及び一主面31×の互いに対向する2つの短辺）に沿って設けられている。

【0047】なお、キャビティ31の内部に形成された樹脂封止体をキャビティ31から抜き取り易くするために、キャビティ31は上型30Aの合わせ面における開口部の平面サイズが底面（一主面）の平面サイズよりも若干大きくするように構成されている。

【0048】次に、本実施形態の半導体装置1Aの製造について、図9乃至図15を用いて説明する。図9

（A）はチップ搭載工程を説明するための断面図であり、図9（B）はワイヤボンディング工程を説明するための断面図であり、図10は、樹脂封止工程において成形型に配線基板を位置決めした状態を示す断面図であり、図11は、樹脂封止工程において、成形型に配線基板を位置決めした状態を示す平面図であり、図12乃至図14は、樹脂封止工程において、樹脂の流れを説明するための平面図であり、図15（A）はパンパ形成工程を説明するための断面図であり、図15（B）は分割工程を説明するための断面図である。

【0049】まず、図3乃至図5に示す配線基板20を準備する。次に、配線基板20の一主面20×の各チップ搭載領域23に例えばエポキシ系の熱硬化性樹脂からなる接着材を塗布して接着層12を形成し、その後、各チップ搭載領域23に接着層12を介在して半導体チップ10を搭載し、その後、熱処理を施して接着層12を硬化させて、図9（A）に示すように、各チップ搭載領域23に半導体チップ10を接着固定する。この工程において、半導体チップ10は、図3で説明したように、デバイス領域22の境界を規定する区画領域24の延在方向に対して一主面10×の辺に沿うように配置される。

【0050】次に、図9（B）に示すように、半導体チップ10の複数の電極パッド11と配線基板20の複数の電極パッド3とを複数のボンディングワイヤ13で夫々電気的に接続する。この工程により、配線基板20の一主面20×上に複数の半導体チップ10が実装される。

【0051】次に、図10及び図11に示すように、成形型30の上型30Aと下型30Bとの間に配線基板20を位置決めする。この時、キャビティ31の一方の長辺31×1に対して配線基板20の一方の長辺20×1が同一側に位置するように位置決めする。

【0052】この工程において、キャビティ31は、各デバイス領域22を覆うようにして（一主面31×が配線基板20の一主面と向かい合うようにして）配線基板20の一主面20×上に配置される。また、各デバイス

領域22の半導体チップ10は、キャビティ31の一方の長辺31×1に対して一主面10×の辺が斜め（本実施形態では例えば45度の角度）になるように配置される。また、配線基板20の一主面20×上における複数の半導体チップ10は、キャビティ31の一方の長辺31×1に対して所定の角度をなす（本実施形態では例えば45度の角度をなす）第1の方向（図4に示すL1に対応）及びこの第1の方向に対して直交する第2の方向（図4に示すL2に対応）に敷き詰められた状態で配置される。

【0053】次に、ボット38から、カル35、メインランナー34、サブランナー33及びゲート32を通してキャビティ31の内部に例えばエポキシ系の熱硬化性樹脂を注入して、配線基板20の一主面20×上に実装された複数の半導体チップ10を一括して樹脂封止する。この工程により、配線基板20の一主面20×側のみに、複数の半導体チップ10を一括して封止した樹脂封止体が形成される。

【0054】この工程において、キャビティ31の内部の全域にわたって樹脂が均一に充填されるように、キャビティ31の一方の長辺31×1に沿って複数のゲート32が設けられているため、図12及び図13に示すように、キャビティ31の内部に注入された樹脂25Aは、キャビティ31の一方の長辺31×1側から他方の長辺31×2側に向かって流れる。従って、キャビティ31の内部における樹脂25Aの巨視的な流れ方向Mは、キャビティ31の一方の長辺31×1側から他方の長辺31×2側に向かう方向となり、そして、キャビティ31の一方の長辺31×1に対してほぼ垂直方向になる。本実施形態において、キャビティ31の内部における樹脂25Aの巨視的な流れ方向Mは、図14に示すように、キャビティ31の内部に樹脂25Aを注入する注入方向Sと同一方向になっている。

【0055】各デバイス領域22の半導体チップ10は、キャビティ31の一方の長辺31×1に対して一主面10×の辺が斜め（本実施形態では例えば45度の角度）になるように配置されている。一方、キャビティ31の内部における樹脂25Aの巨視的な流れ方向Mはキャビティ31の一方の長辺31×1に対してほぼ垂直な方向になっている。即ち、各デバイス領域22の半導体チップ10は、キャビティ31の内部における樹脂25Aの巨視的な流れ方向Mに対して一主面10×の辺が斜めになるように配置されている。このようにして半導体チップ10を配置することにより、ゲート32から遠い側であって、樹脂25Aの巨視的な流れ方向Mに対して斜めとなる半導体チップ10の側面と配線基板20とで形成される角部（半導体チップ10によって影となる部分）Rでの樹脂25Aの流速が、樹脂25Aの巨視的な流れ方向Mに対して互いに向かい合う2つの辺が垂直となるように半導体チップ61を配置した場合と比較して

速くなるため、半導体チップ10の一主面10×上における樹脂の流動抵抗と半導体チップ10の外側における樹脂の流動抵抗との差に起因してボイドが発生しても、ボイドは半導体チップ10によって影となる部分Rに残存する（溜まる）ことなく、樹脂25Aの流れに従って移動する。このボイドは樹脂25Aの流れに従って移動しながら徐々に小さくなって消滅するが、若しくは温度サイクル試験時にポップコーン現象を起こさない程度まで小さくなるため、温度サイクル試験時においてポップコーン現象の要因となるボイドの発生を抑制することができる。また、キャビティ31の他方の長辺31×2に沿ってエアレント37を設けることによって、樹脂の流れに乗って樹脂中に巻き込まれたボイドを効率良く各デバイス領域22の外に排出することができる。半導体チップ10によって影となる部分Rでの樹脂25Aの流れは、樹脂25Aの巨視的な流れ方向Mに対して半導体チップ10の側面の傾きが大きくなるにしたがって速くなるため、本実施形態のように、樹脂25Aの巨視的な流れ方向Mに対して半導体チップ10の一主面の辺が45度の角度になるように半導体チップ10を斜めにするのが最も望ましい。

【0056】次に、図15（A）に示すように、配線基板20の表面に配置された複数の電極パッド5の夫々の表面上にボール状バンパ15を形成する。ボール状バンパ15は、例えば、ボール状の半田材をボール供給法で供給した後、熱処理を施すことによって形成される。

【0057】次に、複数の半導体チップ10を一括して封止した樹脂封止体25をダイシングシート26に貼り付け、その後、図15（B）に示すように、樹脂封止体25と共に配線基板20の複数のデバイス領域22を個々に分割する。これらの分割はダイシング装置で行う。この工程により、図1及び図2に示す半導体装置1Aがほぼ完成する。

【0058】このように、本実施形態によれば、以下の効果が得られる。

（1）半導体装置1Aの製造における樹脂封止工程において、半導体チップ10は、キャビティ31の内部における樹脂25Aの充填方向に対して一主面10×の辺が斜めになるように配置されている。

【0059】このようにすることにより、ゲート32から遠い側であって、樹脂25Aの巨視的な流れ方向Mに対して斜めとなる半導体チップ10の側面と配線基板20とで形成される角部（半導体チップ10によって影となる部分）Rでの樹脂25Aの流速が、樹脂67Aの巨視的な流れ方向Mに対して互いに向かい合う2つの辺が垂直となるように半導体チップ61を配置した場合と比較して速くなるため、半導体チップ10の一主面10×上における樹脂の流動抵抗と半導体チップ10の外側における樹脂の流動抵抗との差に起因してボイドが発生しても、ボイドは半導体チップ10によって影となる部分

Rに残存する（溜まる）ことなく、樹脂25Aの流れに従って移動する。このボイドは樹脂25Aの流れに従って移動しながら徐々に小さくなって消滅するか、若しくは温度サイクル試験時にポップコーン現象を起こさない程度まで小さくなるため、温度サイクル試験時においてポップコーン現象の要因となるボイドの発生を抑制することができる。この結果、一括モールド方式を採用する半導体装置1Aの製造において、ボイドの発生を抑制することができる。

【0060】また、キャビティ31の一方の長辺31×1に沿って複数のゲート32を設けてゲートの総開口面積を大きくした一括モールド方式では、樹脂25Aの硬化が始まって流動性が低下するまでの限られた時間の中で、迅速にかつ均一に樹脂25Aをキャビティ31の内部に注入することができるので、一括モールド方式を採用する半導体装置の製造において、未充填部の発生及びボイドの発生を抑制することができる。また、未充填部の発生及びボイドの発生を抑制することができるので、一括モールド方式を採用する半導体装置1Aの製造において、歩留まりの向上を図ることができる。

【0061】（2）半導体装置1Aの製造における樹脂封止工程において、半導体チップ10は、キャビティ31の一方の長辺31×1に対して主面10×の辺が斜めになるように配置されている。このようにすることにより、従来の一括モールド方式の成形型を用いて、キャビティ31の内部における樹脂25Aの巨視的な流れ方向Mに対して半導体チップ10の主面10×の辺を斜めにするので、一括モールド方式の成形型を変更する必要がない。この結果、半導体装置1Aの製造コストを高めることなく、未充填部の発生及びボイドの発生を抑制することができる。

【0062】（3）半導体装置1Aの製造における樹脂封止工程において、半導体チップ10は、各デバイス領域22の境界を規定する区画領域24の延在方向に対して主面10×の辺が沿うように配置されている。このようにすることにより、従来のデバイス領域22の構成及び平面サイズを用いて、キャビティ31の一方の長辺31×1に対して半導体チップ10の主面10×の辺を斜めにするので、デバイス領域22の構成及び平面サイズを変更する必要がない。

【0063】（実施形態2）図16は、本発明の実施形態2である半導体装置の製造における樹脂封止工程において、成形型に配線基板を位置決めした状態を示す平面図である。図16に示すように、本実施形態の半導体装置の製造に用いられる一括モールド用の成形型40は、基本的に前述の実施形態1と同様の構成になっており、以下の構成が異なっている。

【0064】即ち、成形型40は、キャビティ31の一方の主面10×の一方の長辺31×1側に、この一方の長辺31×1の中点を跨ぐようにして幅広のゲート41が設けられ

た構成となっている。幅広のゲート41は開口面積を大きくすることができるため、樹脂の硬化が始まって流動性が低下するまでの限られた時間の中で、迅速にかつ均一に樹脂をキャビティ31の内部に注入することができる。

【0065】幅広ゲート41からキャビティ31の内部に注入された樹脂は、キャビティ31の一方の長辺31×1側から他方の長辺31×2側に向かって流れるため、キャビティ31の内部における樹脂の巨視的な流れ方向Mは、前述の実施形態1と同様に、キャビティ31の一方の長辺31×1側から他方の長辺31×2側に向かう方向となり、そして、キャビティ31の一方の長辺31×1に対してほぼ垂直方向になる。従って、成形型40及び配線基板20を使用し、前述の実施形態1と同様に、キャビティ31の一方の主面10×の一方の長辺31×1に対して半導体チップ10の一方の主面10×の辺が傾斜するように半導体チップ10を配置することにより、キャビティ31の内部における樹脂の巨視的な流れ方向Mに対して半導体チップ10の一方の主面10×の辺が斜めになるので、幅広ゲート構造の成形型40を用いた場合においても、前述の実施形態1と同様の効果が得られる。

【0066】（実施形態3）図17は本発明の実施形態3である半導体装置の概略構成を示す図（（A）は樹脂封止体を除去した状態の平面図、（B）は（A）のc-c線に沿う断面図）であり、図18は図17の半導体装置の製造に用いられる配線基板（分割用配線基板）の平面図であり、図19は図17の半導体装置の製造における樹脂封止工程において、成形型に配線基板を位置決めした状態を示す断面図である。

【0067】図17に示すように、本実施形態の半導体装置1Bは、基本的に前述の実施形態1と同様の構成になっており、以下の構成が異なっている。即ち、半導体チップ45は、配線基板20の一方の主面2×の辺に対して半導体チップ45の一方の主面2×の辺が斜めになるように、配線基板20の一方の主面2×上に実装されている。本実施形態において、半導体チップ45は、その一方の主面の辺が配線基板20の一方の主面2×の辺に対して例えば45度の角度になるように配置されている。また、半導体チップ45の平面サイズは実施形態1の半導体チップ10の平面サイズよりも小さくなっている。

【0068】半導体装置1Bの製造においては、図18に示す配線基板46を用いる。配線基板46の平面形状は方形で形成され、本実施形態においては例えば長方形で形成されている。配線基板46の一方の主面（チップ搭載面）46×にはモールド領域21が設けられ、このモールド領域21の中には複数のデバイス領域22が設けられ、この各々のデバイス領域22の中にはチップ搭載領域23が設けられている。各々のチップ搭載領域23には半導体チップ46が搭載され、モールド領域21には各々のチップ搭載領域23に搭載された複数の半導体

チップ46を一括して封止する樹脂封止体が形成される。

【0069】各デバイス領域22は、これらの境界を規定する区画領域24によって区画されている。また、各デバイス領域22の構造及び平面形状は図1及び図2に示す配線基板2と同様になっている。配線基板45の平面サイズは図3に示す配線基板20の平面サイズとほぼ同様になっている。

【0070】複数のデバイス領域22の夫々は、夫々の一辺が配線基板46の一主面46×の互いに対向する2つの長辺(46×1、46×2)のうちの一方の長辺46×1に対して沿うように配置されている。また、複数のデバイス領域22は、配線基板46の一方の長辺46×1に対して行列状に配置されている。

【0071】各チップ搭載領域23に搭載される半導体チップ45は、一主面の辺が配線基板46の一方の長辺46×1に対して斜めになるように配置される。また、半導体チップ45は、デバイス領域22の境界を規定する区画領域24の延在方向に対して一主面の辺が斜めになるように配置される。本実施形態において、半導体チップ45は、配線基板46の一方の長辺46×1及び区画領域24の延在方向に対して例えば45度の角度になるように配置される。

【0072】半導体装置1Bの製造においては図6乃至図8に示す成形型30を用いる。半導体装置1Bの製造における樹脂封止工程において、配線基板46は、成形型30の上型30Aと下型30Bとの間に位置決めされる。この時、配線基板46は、キャビティ31の一方の長辺31×1に対して配線基板46の一方の長辺46×1が同一側に位置するように位置決めされる。

【0073】この工程において、キャビティ31は、各デバイス領域22を覆うようにして配線基板46の一主面46×上に配置される。また、各デバイス領域22の半導体チップ45は、図19に示すように、キャビティ31の一方の長辺31×1に対して一主面の辺が斜め

(本実施形態では例えば45度の角度)になるように配置される。また、配線基板46の一主面46×上における複数の半導体チップ45は、キャビティ31の一方の長辺31×1に対して行列状に配置される。

【0074】各デバイス領域22の半導体チップ45は、図19に示すように、キャビティ31の一方の長辺31×1に対して一主面の辺が斜め(本実施形態では例えば45度の角度)になるように配置されている。

一方、キャビティ31の内部における樹脂の巨視的な流れ方向Mはキャビティ31の一方の長辺31×1に対してほぼ垂直な方向になっている。即ち、各デバイス領域22の半導体チップ45は、キャビティ31の内部における樹脂の巨視的な流れ方向Mに対して一主面の辺が斜めになるように配置されている。

【0075】このように、半導体装置1Bの製造にお

ける樹脂封止工程において、キャビティ31の一方の長辺31×1に対して半導体チップ45の一主面の辺が斜めになるように半導体チップ45を配置することにより、キャビティ31の内部における樹脂の巨視的な流れ方向Mに対して半導体チップ45の一主面の辺が斜めになるので、前述の実施形態1と同様の効果が得られる。

【0076】また、各デバイス領域22の半導体チップ45を区画領域24の延在方向に対して半導体チップ45の一主面の辺が斜めになるように配置し、複数の半導体チップ45をキャビティ31の一方の長辺31×1に対して行列状に配置することにより、配線基板の平面サイズ及び各デバイス領域22の平面サイズが同一の場合、前述の実施形態1の場合よりもデバイス領域22の数を増加することができるので、半導体装置1Bの製造コストを低減することができる。

【0077】(実施形態4)図20は、本発明の実施形態4である半導体装置の製造における樹脂封止工程において、成形型に配線基板を位置決めした状態を示す平面図である。図20に示すように、本実施形態の半導体装置の製造では、成形型として、キャビティ31の一主面の一方の長辺31×1側に、この一方の長辺31×1の中点を跨ぐようにして幅広のゲート41が設けられた成形型40を用い、基板として配線基板46を用いている。キャビティ31の一方の長辺31×1に対して半導体チップ45の一主面の辺が斜めになるように半導体チップ45を配置することにより、キャビティ31の内部における樹脂の巨視的な流れ方向Mに対して半導体チップ45の一主面の辺が斜めになるので、幅広ゲート構造の成形型40及び配線基板46を用いた場合においても、前述の実施形態1と同様の効果が得られる。

【0078】(実施形態5)図21は本発明の実施形態5である半導体装置の製造に用いられる配線基板の概略構成を示す平面図であり、図22は実施形態5である半導体装置の製造における樹脂封止工程において、成形型に配線基板を位置決めした状態を示す平面図であり、図24は図23のd-d線に沿う断面図であり、図25において(A)乃至(D)は、実施形態5である半導体装置の製造における樹脂封止工程において、樹脂の流れを説明するための模式図である。

【0079】本実施形態の半導体装置の製造においては、図21に示す配線基板47を用いる。配線基板47の平面形状は方形で形成され、本実施形態においては例えば長方形で形成されている。配線基板47の一主面(チップ搭載面)47×にはモールド領域21が設けられ、このモールド領域21の中には複数のデバイス領域22が設けられ、この各々のデバイス領域22の中にはチップ搭載領域23が設けられている。各々のチップ搭

載領域23には半導体チップ10が搭載され、モールド領域21には各々のチップ搭載領域23に搭載された複数の半導体チップ10を一括して封止する樹脂封止体が形成される。

【0080】各デバイス領域22は、これらの境界を規定する区画領域24によって区画されている。また、各デバイス領域22の構造及び平面形状は図1及び図2に示す配線基板2と同様になっている。配線基板47の平面サイズは図3に示す配線基板20の平面サイズとほぼ同様になっている。

【0081】複数のデバイス領域22の夫々は、夫々の一辺が配線基板47の一主面47×の互いに対向する2つの長辺(47×1, 47×2)のうちの一方の長辺47×1に対して沿うように配置されている。また、複数のデバイス領域22は、配線基板47の一方の長辺47×1に対して行列状に配置されている。

【0082】各チップ搭載領域23に搭載される半導体チップ10は、一主面の一辺が配線基板47の一方の長辺47×1に対して沿うように配置される。また、半導体チップ10は、デバイス領域22の境界を規定する区画領域24の延在方向に対して一主面の辺が沿うように配置される。また、複数の半導体チップ10は、配線基板47の一方の長辺47×1に対して行列状に配置される。

【0083】本実施形態の半導体装置の製造においては図22及び図23に示す成形型48を用いる。半導体装置の製造における樹脂封止工程において、配線基板47は、成形型48の上型30Aと下型30Bとの間に位置決めされる。この時、配線基板47は、キャビティ31の一方の長辺31×1に対して配線基板47の一方の長辺47×1が同一側に位置するように位置決めされる。

【0084】この工程において、キャビティ31は、各デバイス領域22を覆うようにして配線基板47の一主面47×上に配置される。また、各デバイス領域22の半導体チップ10は、キャビティ31の一方の長辺31×1に対して一主面の一辺が沿うように配置される。また、配線基板47の一主面47×上における複数の半導体チップ10は、キャビティ31の一方の長辺31×1に対して行列状に配置される。

【0085】成形型48において、樹脂は、ポットからカル35、メインランナー34、サブランナー33及び複数のゲート49を通してキャビティ31の内部に注入される。複数のゲート49は、キャビティ31の内部の全域にわたって樹脂が均一に充填されるように、キャビティ31の一方の長辺31×1に沿って設けられている。

【0086】複数のゲート49は、図24に示すように、各々の開口面積がキャビティ31の一方の長辺31×1の一端側から他端側に向かって所定の数毎に段階的に小さくなるように構成されている。即ち、複数のゲ

ート49からなるゲート配列において、初段に位置するゲート49の開口面積は中断に位置するゲート49の開口面積よりも大きく、中断に位置するゲート49の開口面積は終段に位置するゲート49の開口面積よりも大きくなっている。

【0087】複数のゲート49からキャビティ31の内部に注入された樹脂25Aの巨視的な流れ方向Mは、図25の(A)乃至(D)に示すように、キャビティ31の一主面31×の対角線の延在方向に沿うような方向となり、そして、キャビティ31の一方の長辺31×に対して所定の角度をなす方向となる。一方、各デバイス領域22の半導体チップ10は、一辺がキャビティ31の一方の長辺31×1に沿うように配置されている。即ち、各デバイス領域22の半導体チップ10は、キャビティ31の内部における樹脂25Aの巨視的な流れ方向Mに対して辺が斜めになるように配置されている。

【0088】このように、複数のゲート49を、各々の開口面積がキャビティ31の一方の長辺31×1の一端側から他端側に向かって所定の数毎に段階的に小さくなるように構成することにより、キャビティ31の内部における樹脂25Aの巨視的な流れ方向Mをキャビティ31の一方の長辺31×1に対して斜めにするので、キャビティ31の一方の長辺に対して一辺が沿うように配置された半導体チップ10においても、キャビティ31の内部における樹脂25Aの巨視的な流れ方向Mに対して辺が斜めになるように半導体チップ10を配置することができる。

【0089】また、キャビティ31の一方の長辺31×1に対してデバイス領域22の一辺及び半導体チップ10の一主面の辺が斜めになるように配置しなくても、キャビティ31の内部における樹脂25Aの巨視的な流れ方向Mに対して半導体チップ10の一主面の辺を斜めにするので、従来の配線基板を用いて半導体装置を製造することができる。

【0090】なお、本実施形態では、複数のゲート49を、各々の開口面積がキャビティ31の一方の長辺31×1の一端側から他端側に向かって所定の数毎に段階的に小さくなるように構成した例について説明したが、複数のゲート49は、各々の開口面積がキャビティ31の一方の長辺31×1の一端側から他端側に向かって徐々に小さくなるように構成してもよい。

【0091】(実施形態6) 図26は本発明の実施形態6である半導体装置の製造における樹脂封止工程において、成形型に配線基板を位置決めした状態を示す平面図であり、図27は図26のe-e線に沿う断面図である。

【0092】本実施形態の成形型50は、キャビティ31の一主面の一辺の長辺31×1側に、この一方の長辺31×1の中点を跨ぐようにして幅広のゲート51が設けられた構成となっている。幅広ゲート51は、図27

に示すように、キャビティ31の厚さ方向に沿う幅がキャビティ31の一方の長辺31×1の一端側から他端側に向かって徐々に小さくなるように構成されている。

【0093】このように、幅広ゲート51のキャビティ31の厚さ方向に沿う幅を、キャビティ31の一方の長辺31×1の一端側から他端側に向かって徐々に小さくなるように構成することにより、キャビティ31の内部における樹脂の巨視的な流れ方向Mをキャビティ31の一方の長辺31×1に対して斜めにする事ができる。キャビティ31の一方の長辺31×1に対して主面の一端に沿うように配置された半導体チップ10においても、キャビティ31の内部における樹脂の巨視的な流れ方向Mに対して主面の辺が斜めになるように半導体チップ10を配置することができる。

【0094】なお、幅広ゲート51のキャビティ31の厚さ方向に沿う幅は、図28に示すように、キャビティ31の一方の長辺31×1の一端側から他端側に向かって段階的に小さくしてもよい。この場合においても、キャビティ31の内部における樹脂の巨視的な流れ方向Mをキャビティ31の一方の長辺31×1に対して斜めにする事ができる。

【0095】（実施形態7）図29は、本発明の実施形態7である半導体装置の製造における樹脂封止工程において、成形型に配線基板を位置決めした状態を示す平面図である。本実施形態の成形型52は、キャビティ31の一方の長辺31×1及びこの一方の長辺31×1と交わる2つの短辺（31×3、31×4）のうちの一方の短辺31×3に沿って複数のゲート32が設けられた構成となっている。このように、キャビティ31の一方の長辺31×1及びこの一方の長辺31×1と交わる2つの短辺（31×3、31×4）のうちの一方の短辺31×3に沿って複数のゲート32を設けることにより、キャビティ31の内部における樹脂の巨視的な流れ方向Mをキャビティ31の一方の長辺31×1に対して斜めにする事ができる。

【0096】なお、前記キャビティ31の一方の長辺31×1に沿って形成された複数のゲート32は、各々の開口面積が前記一方の短辺31×3側の端から他方の短辺31×4側の端に向かって徐々に、若しくは段階的に小さくなるように構成してもよい。また、前記キャビティ31の一方の短辺31×3に沿って形成された複数のゲート32は、各々の開口面積が前記一方の長辺31×1側の端から他方の短辺31×2側の端に向かって徐々に、若しくは段階的に小さくなるように構成してもよい。

【0097】（実施形態8）図30は、本発明の実施形態8である半導体装置の製造における樹脂封止工程において、成形型に配線基板を位置決めした状態を示す平面図である。本実施形態の成形型53は、キャビティ31の一方の長辺31×1及びこの一方の長辺31×1と交

わる2つの短辺（31×3、31×4）のうちの一方の短辺31×3に沿って夫々の中点を跨ぐようにして幅広のゲート54が設けられた構成となっている。このように、キャビティ31の一方の長辺31×1及びこの長辺31×1と交わる一方の短辺31×3に沿って夫々の中点を跨ぐようにして幅広のゲート54を設けることにより、キャビティ31の内部における樹脂の巨視的な流れ方向Mをキャビティ31の一方の長辺31×1に対して斜めにする事ができる。なお、幅広ゲート54は、キャビティ31の厚さ方向に沿う幅がキャビティの一方の長辺31×1と一方の短辺との交わる頂点側から夫々の辺に沿って徐々に、若しくは段階的に小さくなるように構成してもよい。

【0098】なお、前述の実施形態1～8では、平面が正方形の半導体チップを用いた例について説明したが、本発明は平面が長方形の半導体チップにおいても適用することができる。

【0099】また、前述の実施形態1～8では、配線基板上に半導体チップを実装する方法としてフェースアップ方式を用いた例について説明したが、本発明は電極が形成された半導体チップの一面を配線基板の一面と向か合わせて実装するフェースダウン方式においても適用することができる。この場合、半導体チップの一面と配線基板の一面との間に突起状電極及び絶縁性の樹脂からなる接着材が介在される。

【0100】以上、本発明者によってなされた発明を、前記実施形態に基づき具体的に説明したが、本発明は、前記実施形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

【0101】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。本発明によれば、一括モールド方式を採用する半導体装置の製造において、ボイドの発生を抑制することができる。本発明によれば、一括モールド方式を採用する半導体装置の製造において、未充填部及びボイドの発生を抑制することができる。本発明によれば、一括モールド方式を採用する半導体装置の製造において、歩留まりの向上を図ることができる。

【図面の簡単な説明】

【図1】本発明の実施形態1である半導体装置の概略構成を示す図（（A）は樹脂封止体を除去した状態の平面図、（B）は（A）のa-a線に沿う断面図）である。

【図2】図1（B）の一部を拡大した断面図である。

【図3】実施形態1である半導体装置の製造に用いられる配線基板（分割用配線基板）の平面図である。

【図4】図3の一部を拡大した平面図である。

【図5】図4のb-b線に沿う断面図である。

【図6】実施形態1である半導体装置の製造に用いられ

る成型型の概略構成を示す断面図である。

【図 7】図 6 に示す成型型の上型の平面図である。

【図 8】図 6 に示す成型型の下型の平面図である。

【図 9】実施形態 1 である半導体装置の製造において、

(A) はチップ搭載工程を説明するための断面図、

(B) はワイヤボンディング工程を説明するための断面図である。

【図 10】実施形態 1 である半導体装置の製造における樹脂封止工程において、成型型に配線基板を位置決めした状態を示す断面図である。

【図 11】実施形態 1 である半導体装置の製造における樹脂封止工程において、成型型に配線基板を位置決めした状態を示す平面図である。

【図 12】実施形態 1 である半導体装置の製造における樹脂封止工程において、樹脂の流れを説明するための平面図である。

【図 13】実施形態 1 である半導体装置の製造における樹脂封止工程において、樹脂の流れを説明するための平面図である。

【図 14】実施形態 1 である半導体装置の製造における樹脂封止工程において、樹脂の流れを説明するための平面図である。

【図 15】実施形態 1 である半導体装置の製造において、(A) はパンプ形成工程を説明するための断面図、(B) は分割工程を説明するための断面図である。

【図 16】本発明の実施形態 2 である半導体装置の製造における樹脂封止工程において、成型型に配線基板を位置決めした状態を示す平面図である。

【図 17】本発明の実施形態 3 である半導体装置の概略構成を示す図 (A) は樹脂封止体を除去した状態の平面図、(B) は (A) の c-c 線に沿う断面図である。

【図 18】実施形態 3 である半導体装置の製造に用いられる配線基板 (分割用配線基板) の平面図である。

【図 19】実施形態 3 である半導体装置の製造における樹脂封止工程において、成型型に配線基板を位置決めした状態を示す断面図である。

【図 20】本発明の実施形態 4 である半導体装置の製造における樹脂封止工程において、成型型に配線基板を位置決めした状態を示す平面図である。

【図 21】本発明の実施形態 5 である半導体装置の製造に用いられる配線基板の平面図である。

【図 22】実施形態 5 である半導体装置の製造における樹脂封止工程において、成型型に配線基板を位置決めした状態を示す断面図である。

【図 23】実施形態 5 である半導体装置の製造における樹脂封止工程において、成型型に配線基板を位置決めした状態を示す平面図である。

【図 24】図 23 の d-d 線に沿う断面図である。

【図 25】(A) 乃至 (D) は、実施形態 5 である半導体装置の製造における樹脂封止工程において、樹脂の流れを説明するための模式図である。

【図 26】本発明の実施形態 6 である半導体装置の製造における樹脂封止工程において、成型型に配線基板を位置決めした状態を示す平面図である。

【図 27】図 26 の e-e 線に沿う断面図である。

【図 28】本発明の実施形態 6 の変形例である幅広ゲートの構成を示す断面図である。

【図 29】本発明の実施形態 7 である半導体装置の製造における樹脂封止工程において、成型型に配線基板を位置決めした状態を示す平面図である。

【図 30】本発明の実施形態 8 である半導体装置の製造における樹脂封止工程において、成型型に配線基板を位置決めした状態を示す平面図である。

【図 31】従来の半導体装置の製造における樹脂封止工程において、樹脂の流れを説明するための図 (A) は平面図、(B) は断面図である。

【図 32】従来の半導体装置の製造における樹脂封止工程において、樹脂の流れを説明するための図 (A) は平面図、(B) は断面図である。

【図 33】従来の半導体装置の製造における樹脂封止工程において、樹脂の流れを説明するための図 (A) は平面図、(B) は断面図である。

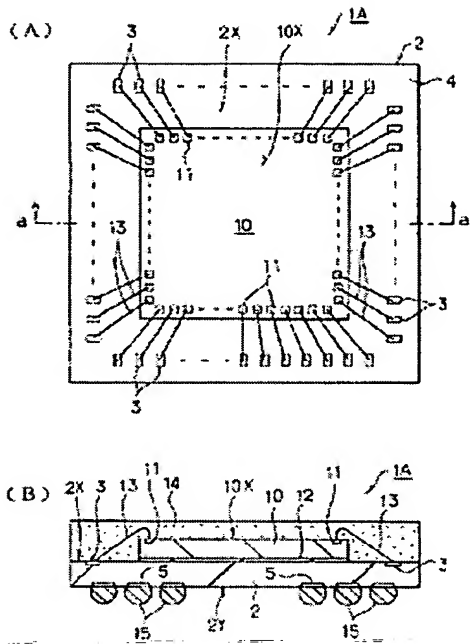
【図 34】従来の半導体装置の製造における樹脂封止工程において、樹脂の流れを説明するための図 (A) は平面図、(B) は断面図である。

【符号の説明】

1A, 1B…半導体装置、2…配線基板、3, 5, 11…電極パッド、10…半導体チップ、12…接着層、13…ボンディングワイヤ、14…樹脂封止体、15…ボール状パンプ、20, 40, 46, 47…配線基板、21…モールド領域、22…デバイス領域、23…チップ搭載領域、24…区画領域、25…樹脂封止体、25A…樹脂、30, 40, 48, 50, 52, 53…成型型、30A…上型、30B…下型、31…キャビティ、32, 41, 49, 51, 54…ゲート、33…サブランナー、34…メインランナー、35…カル、38…ボット、39…基板搭載領域。

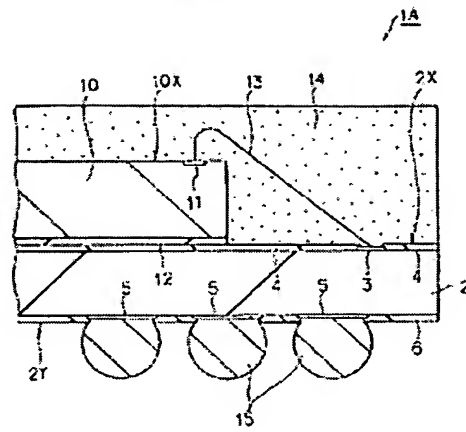
【図1】

図 1



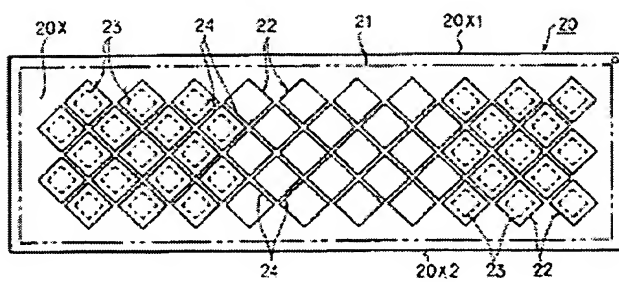
【図2】

図 2



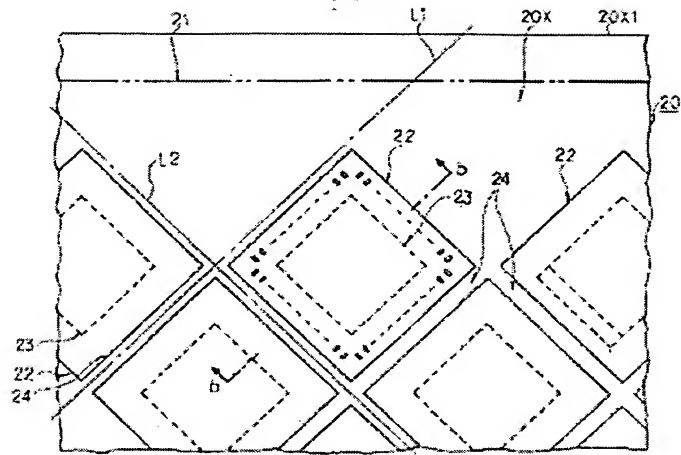
【図3】

図 3



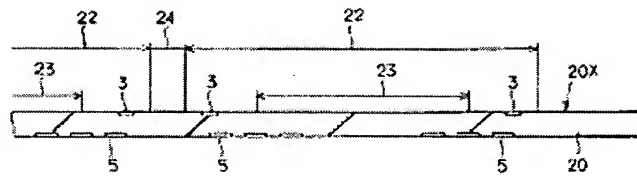
【図 4】

図 4



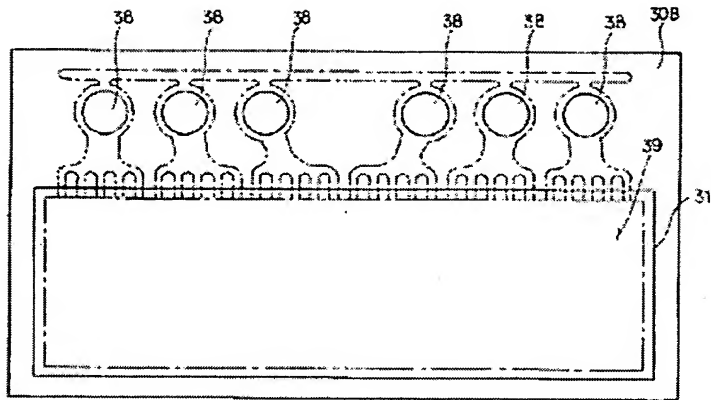
【図 5】

図 5



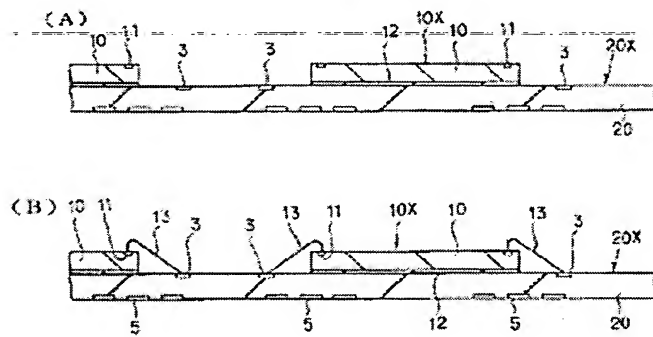
【図 8】

図 8



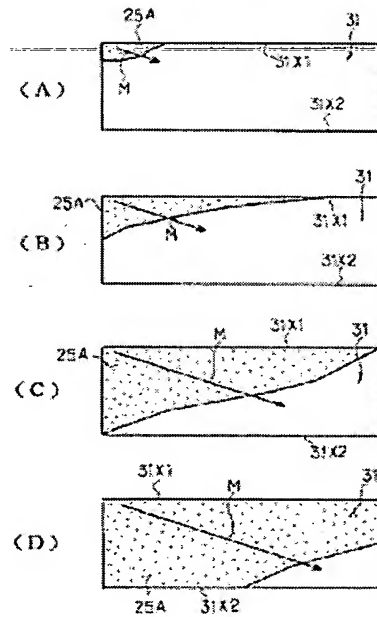
【図 9】

図 9



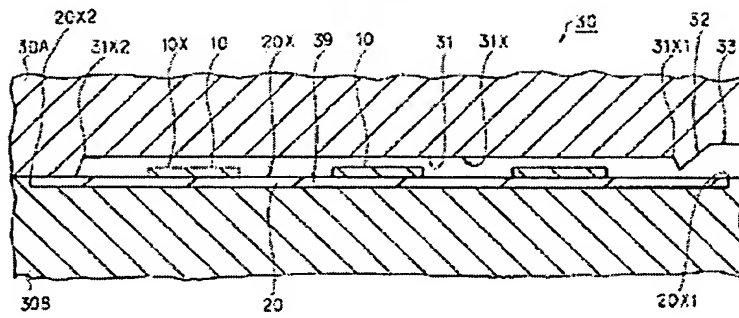
【図 25】

図 25



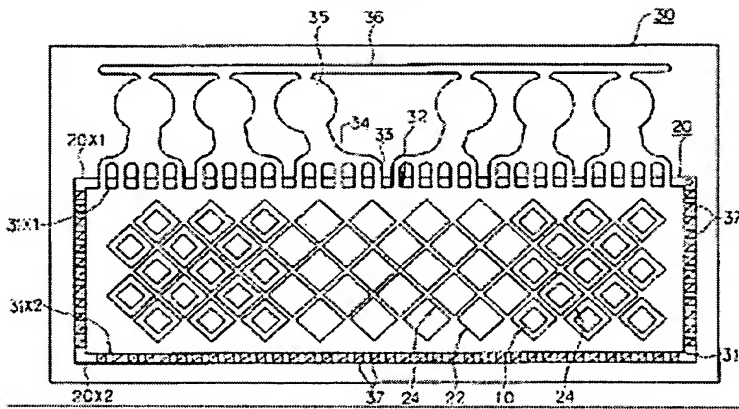
【図 10】

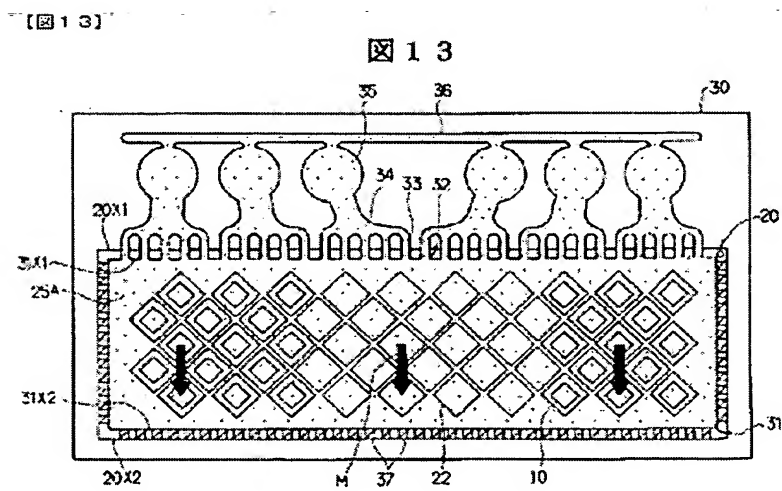
図 10



【図 11】

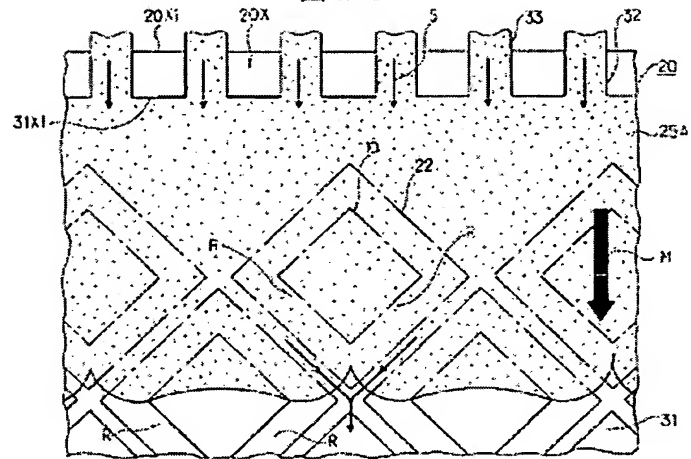
図 11





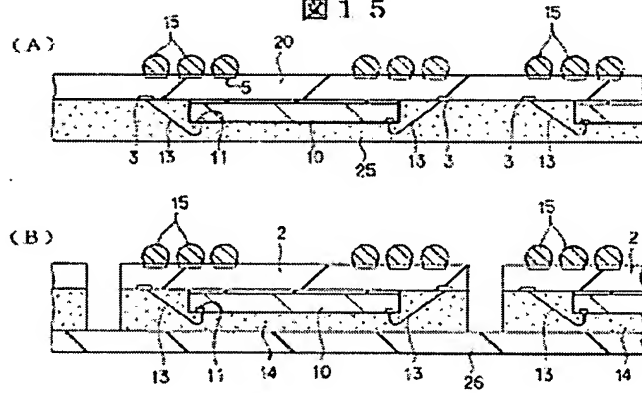
【図 14】

図 14

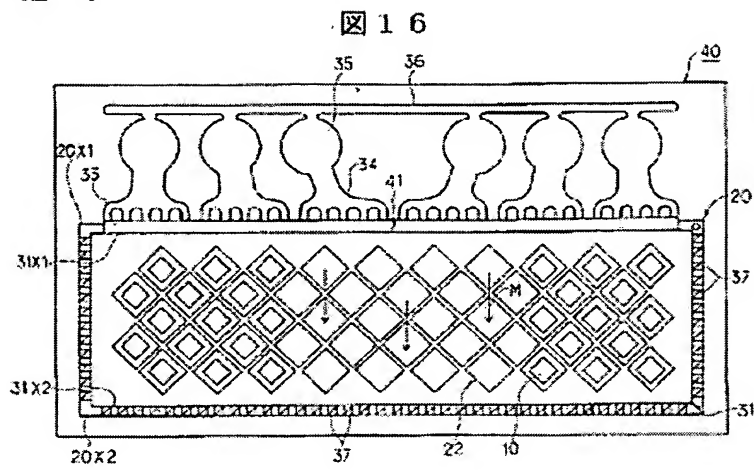


【図 15】

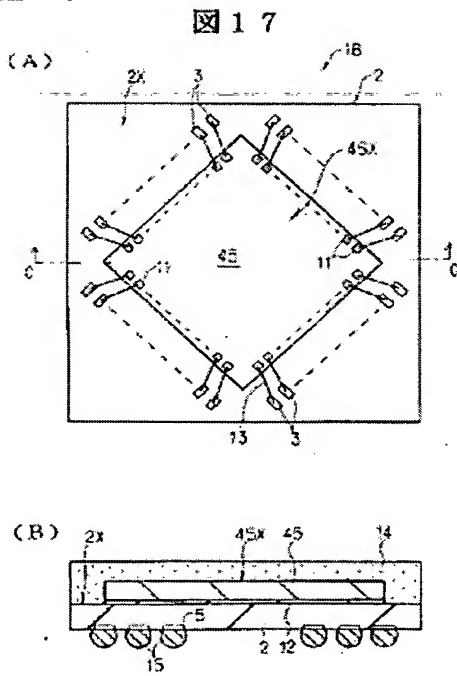
図 15



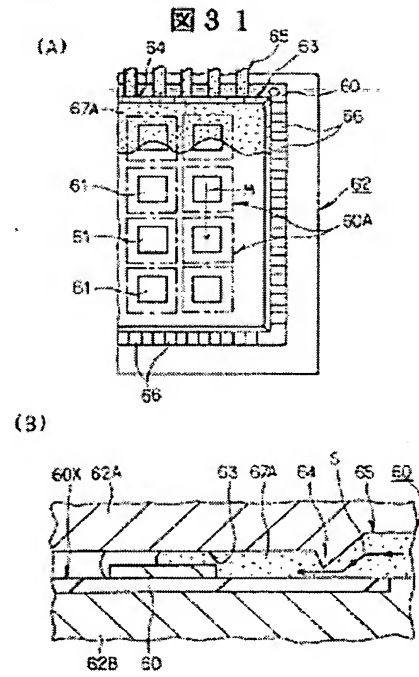
【図 16】



【図 17】

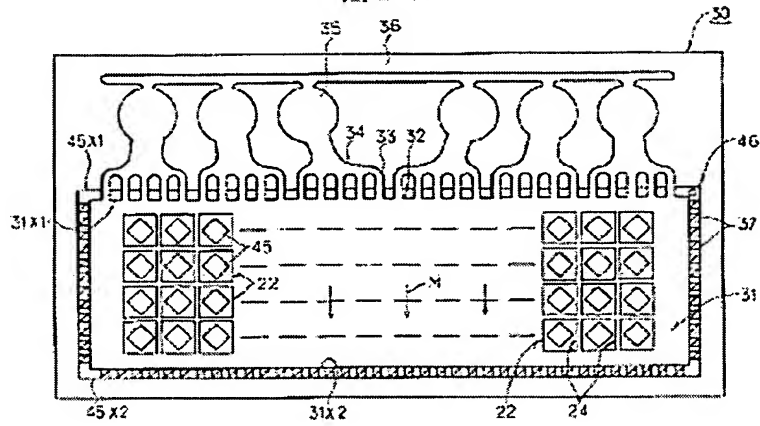


【図 31】



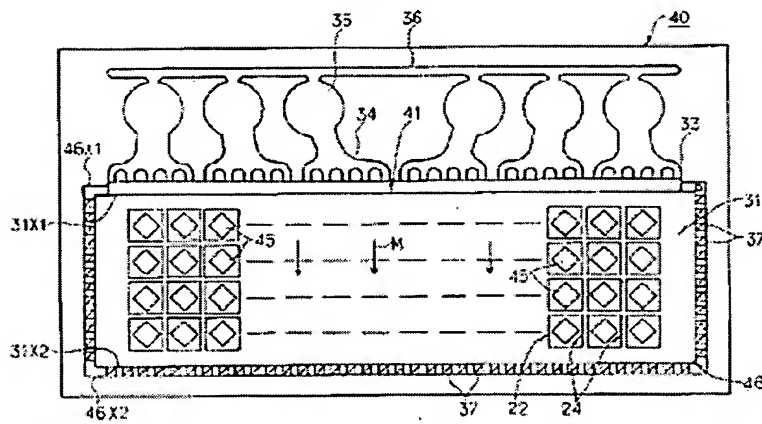
【図19】

図 19



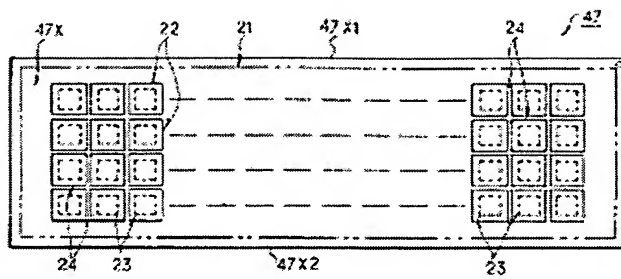
【図20】

図 20



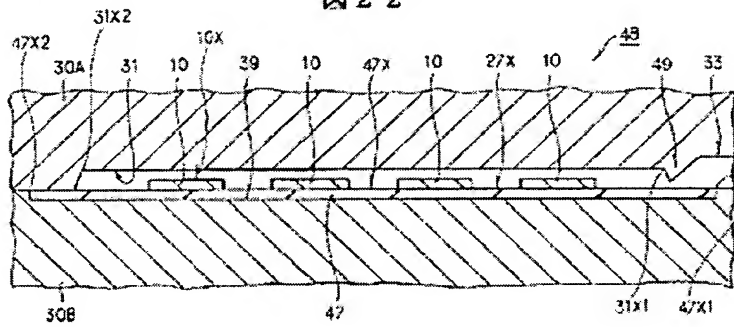
【図 2 1】

図 2 1

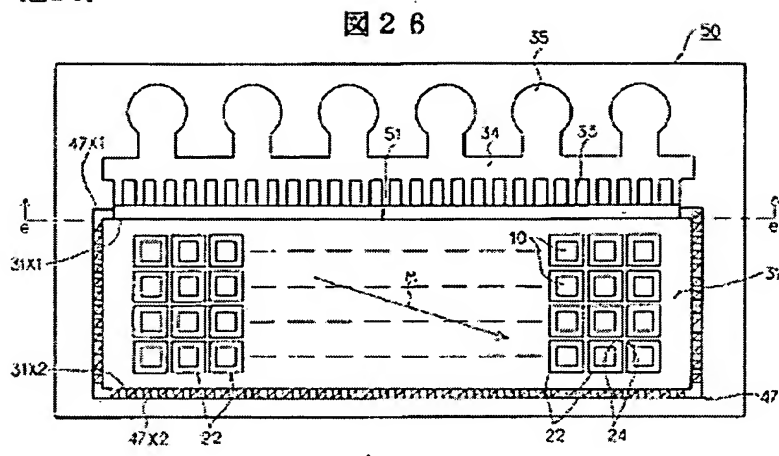


【図 2 2】

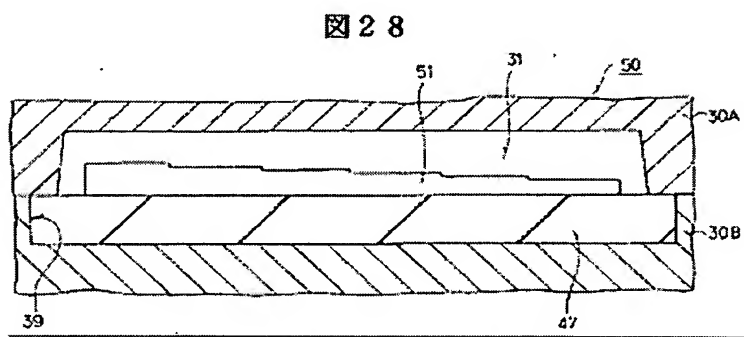
図 2 2



【図26】

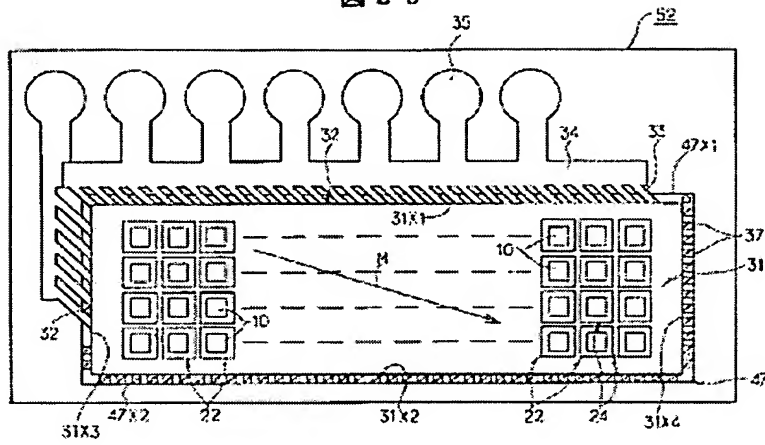


【図28】



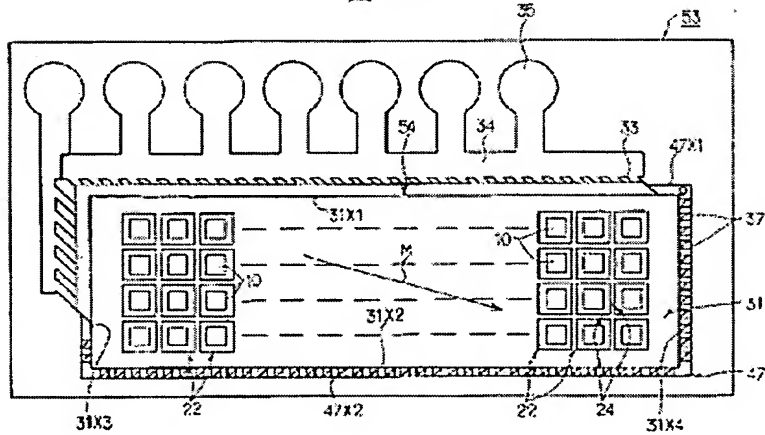
【図 29】

図 29

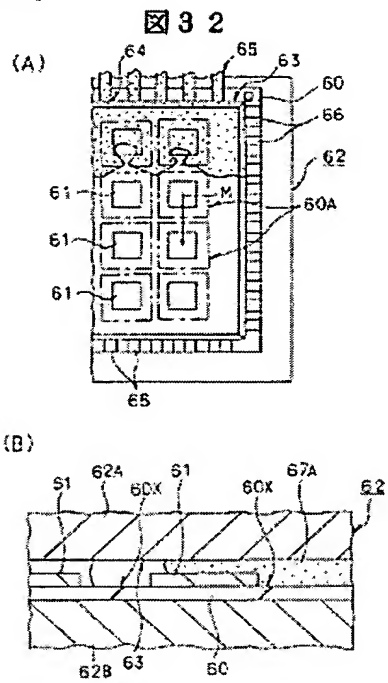


【図 30】

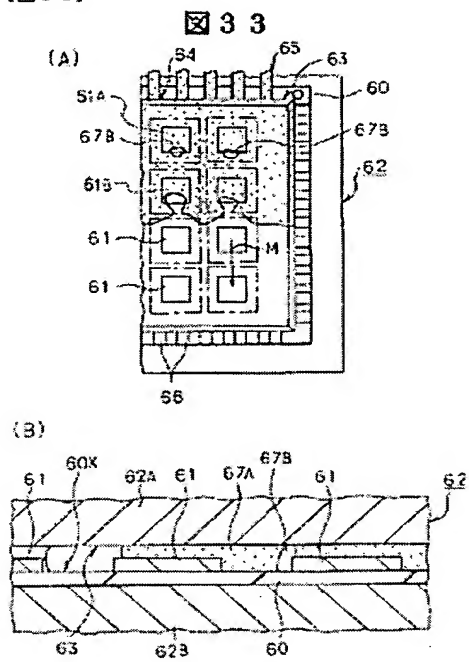
図 30



(図 32)

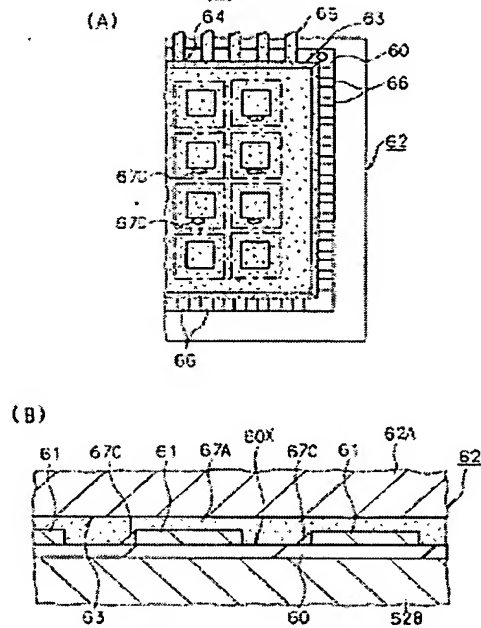


(図 33)



【図34】

図34



フロントページの続き

(51)Int. Cl. 7
// B29K 105:20
B29L 31:00

識別記号

F I
H O 1 L 23/30

テーマコード (参考)

B

(72)発明者 葛西 紀彦
北海道亀田郡七飯町字中島145番地 日立
北海セミコンダクタ株式会社内

Fターム (参考) 4F202 AA39 AD19 AH37 CA12 CB12
CQ05
4F206 AD34 AH37 JQ81
4M109 AA02 BA04 CA21 GA02
5F061 AA02 BA04 CA21 CB13 DA05
DA06 FA02

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.